

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02043755 A**(43) Date of publication of application: **14 . 02 . 90**

(51) Int. Cl. **H01L 21/82**
G06F 15/60
H01L 27/04

(21) Application number: **63195052**(22) Date of filing: **03 . 08 . 88**(71) Applicant: **FUJITSU LTD FUJITSU VLSI LTD**

(72) Inventor: **YASUE YOSHIHIRO**
KUBONO YOSHIO

(54) WIRING BETWEEN LOGICAL MODULES

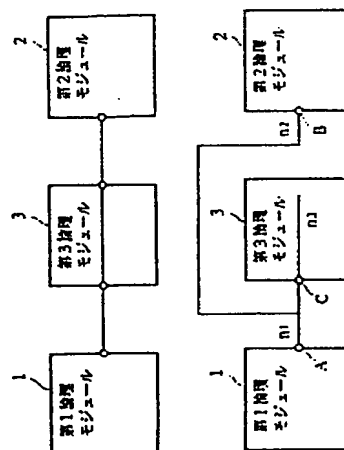
third logical module 3.

(57) Abstract:

COPYRIGHT: (C)1990,JPO&Japio

PURPOSE: To enable the establishment of connection between logical modules through logical modules if any not involved in terms of connection between logical modules and the determination of an uninterrupted wiring length with the logical modules deployed by a method wherein interconnection is established with the intermediary of a dummy terminal.

CONSTITUTION: In laying out a semiconductor integrated circuit, in case a third logical module 3 not connected to a first logical module 1 or to a second logical module 2 exists between the first logical module 1 and the second logical module 2 connected to each other with a wire, interconnection is established, as far as layout is concerned, by a wire running through the third module 3 but, logically, a dummy terminal C is provided in the third module 3 and interconnection is established through the dummy terminal C. Then it is so designed in the layout that the length $n3$ of the wire running through the third module 3 corresponds to the dummy terminal C, which enables the determination of the wiring length of interconnection established through the



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-43755

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月14日

H 01 L 21/82
G 06 F 15/60
H 01 L 27/04

3 7 0 P
D

8125-5B
7514-5F
8526-5F

H 01 L 21/82

C

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 論理モジュール間配線方法

⑯ 特 願 昭63-195052

⑰ 出 願 昭63(1988)8月3日

⑱ 発 明 者 泰 江 良 弘 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑱ 発 明 者 久 保 埜 義 雄 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内
⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地
⑲ 出 願 人 富 士 通 ヴ ィ エ ル エ ス ア 愛知県春日井市高蔵寺町2丁目1844番2
イ 株 式 会 社
⑳ 代 理 人 弁 理 士 井 桁 貞 一 外2名

明 細 書

1. 発明の名称

論理モジュール間配線方法

2. 特許請求の範囲

半導体集積回路のレイアウト設計において、配線で相互接続される第1論理モジュール(1)と第2論理モジュール(2)との間に、これらの論理モジュール(1,2)に配線で接続されない第3論理モジュール(3)が存在する場合に、

レイアウト上では、該第3モジュール(3)内に配線を通して該相互接続を行い、

論理上では、該第3モジュール(3)にグミ一端子(C)を設け、該グミ一端子(C)を介して該相互接続を行い、かつ、レイアウト上において該第3モジュール内を通過する該配線の長さ(L3)を該グミ一端子に対応付けることにより、該第3論理モジュール(3)を通過して該相互接続される配線長を求め

ることを特徴とする論理モジュール間配線方法。

3. 発明の詳細な説明

[目次]

概要

産業上の利用分野

従来技術(第5図)

発明が解決しようとする課題

課題を解決するための手段(第1A、1B図)

作用

実施例

第1実施例(第2A、2B、3図)

第2実施例(第4図)

発明の効果

[概要]

半導体集積回路のレイアウト設計において用いられ、論理モジュール間を結線する論理モジュール間配線方法に関し、

第1及び第2の論理モジュール間に結線上無関係な第3論理モジュールが存在する場合に、この

第3論理モジュールを運って第1及び第2の論理モジュール間を結線することができ、かつ、論理モジュールを展開して1つなりの配線長を求めることができるようにすることを目的とし、

レイアウト上では、該第3モジュール内に配線を通して該相互接続を行い、論理上では、該第3モジュールにグミ端子を設け、該グミ端子を介して該相互接続を行い、かつ、レイアウト上において該第3モジュール内を通過する該配線の長さを該グミ端子に対応付けることにより、該第3論理モジュールを運って該相互接続される配線長を求めるよう構成する。

[産業上の利用分野]

本発明は半導体集積回路のレイアウト設計において用いられ、論理モジュール間を結線する論理モジュール間配線方法に関する。

[従来の技術]

LSIのレイアウト設計において、集積度が高

[発明が解決しようとする課題]

しかし、論理上では、論理モジュール3は論理モジュール1、2間の配線に無関係であるので、論理モジュール3内を通過する配線長データを持つておらず、したがって、論理配線とレイアウト配線との対応付けを行うことができず、論理モジュール3内を運って論理モジュール1、2間を結線することができなかった。

本発明の目的は、論理モジュール間に結線上無関係な論理モジュールが存在する場合に、この無関係な論理モジュールを運って論理モジュール間を結線することができ、かつ論理モジュールを展開して1つなりの配線長を求めることができる論理モジュール間配線方法を提供することにある。

[課題を解決するための手段]

第1A図及び第1B図は本発明の原理構成図であり、第1A図は論理モジュール間のレイアウト配線を示し、第1B図はこのレイアウト配線に対応した論理配線を示す。

くなると多数の論理モジュールが配置されるため、第5図に示す如く、互いに結線される論理モジュール1と2との間に、これらに結線されない論理モジュール3が存在することが起こる。このような場合、論理モジュール3を運って論理モジュール1と2との間を結線すれば、配線長を短くすることができる。

ここで、論理配線とレイアウト配線とは対応付けられており、レイアウト配線の配線長を論理配線に持たせ、論理モジュールを展開して1つなりの配線長を求め、この配線長が規定範囲内にあるかどうか、すなわち配線容量が適当であるかどうかを判定する。この処理は電子計算機を用いて行われる。

論理モジュール1、2間の配線長を求めるには、論理モジュール1と3との間の配線長、論理モジュール2と3との間の配線長及び論理モジュール3内の配線長のデータが必要になる。

半導体集積回路のレイアウト設計において、配線で相互接続される第1論理モジュール1と第2論理モジュール2との間に、これらの論理モジュール1、2に配線で接続されない第3論理モジュール3が存在する場合がある。

このような場合、レイアウト上では、第3モジュール3内に配線を通して該相互接続を行い、論理上では、第3モジュール3にグミ端子Cを設け、グミ端子Cを介して該相互接続を行い、かつ、レイアウト上において第3モジュール3内を通過する配線の長さをグミ端子Cに対応付けることにより、論理モジュール3を運って該相互接続される配線長を求める。

[作用]

第1B図に示す論理配線は、例えば1A、3C、2Bと表すことができる。この論理配線には、端子AC間の配線長 n_1 、端子BC間の配線長 n_2 及びグミ端子Cに接続され論理モジュール3内を通過する配線の配線長 n_3 が対応付けられる。したがって、

第1論理モジュール1と第2論理モジュール2との間の配線長は、 $n1 + n2 + n3$ として求めることができる。

このため、第3論理モジュール3内を通過するレイアウト配線を設けても、1つなりの配線長を求めることができ、論理配線とレイアウト配線を対応させることができる。

[実施例]

(1) 第1実施例

第2A図は半導体集積回路のレイアウト配線の一部を示し、第2B図はこのレイアウト配線に対応した論理配線を示す。

第2A図において、配線で相互接続される論理モジュール10と20との間に、これらに論理的に接続されない論理モジュール30が配置されている。論理モジュール10は入力端子A1、A2及び出力端子A3を有するオア回路を備え、論理モジュール20は入力端子B1、B2及び出力端子B3を有するアンド回路を備え、論理モジュール

的に接続されていない。

一方、このようなレイアウト配線の基になる論理配線では、第2B図に示す如く、論理モジュール30が論理モジュール10、20のいずれにも論理的に接続されていないので、レイアウト配線と対応させるために、論理モジュール30にダミー端子C45を設け、論理モジュール10の入力端子A3と論理モジュール30のダミー端子C45とを接続し、このダミー端子C45と論理モジュール20の入力端子B2とを接続している。すなわち、第2A図に示す入力端子C4、C5及びこれらを接続する配線L3を論理配線上ではダミー端子C45に対応させている。

次に、電子計算機(不図示)を用いた配線長適否判定処理の手順を第3図に基づいて説明する。

(50)論理設計後において、論理接続を示す論理配線データを入力する。

例えば、第2B図において、親モジュールの階層では論理モジュール10の出力端子A3と論理モジュール20の入力端子B2とが接続されてい

ル30は入力端子C1、C2及び出力端子C3を有するアンド回路を備えている。論理モジュール10の出力端子A3と論理モジュール20の入力端子B2とを、論理モジュール30内を導る配線により接続するために、入力端子A3、B2に配線L13、L23で接続される入力端子C4、C5を論理モジュール30に設け、入力端子C4、C5間を接続する配線L3を論理モジュール30内に設けている。

論理モジュール10の入力端子A1、A2、論理モジュール20の入力端子B1、出力端子B3、論理モジュール30の入力端子C1、C2及び出力端子C3は、それぞれ端子 $\alpha \sim \kappa$ に接続されている。

親モジュールの階層では、子モジュールである論理モジュール10、20及び30はブラックボックスであり、論理モジュール10と30及び30と20は配線で相互接続されている。しかし、親モジュールを子モジュールで展開すると、論理モジュール30は論理モジュール10、20に論理

るので、これを10A3、20B2と表して電子計算機に人力する。人力順は限定されない。

(52)次に、この論理配線に対応してレイアウト配線を行い、レイアウト配線に伴う特有のデータを上記論理配線データに対する付加データとして電子計算機に人力する。このレイアウト配線データには、ダミー端子及び配線長のデータがある。

例えば第2B図では、論理モジュール30のダミー端子C45を論理モジュール10の入力端子A3及び論理モジュール20の入力端子B2に接続したことを示すデータを、10A3、30C4、20B2と表して人力する。また、親モジュールの階層での配線L13、L23の配線長 $n13$ 、 $n23$ 等及び子モジュールの階層での配線L1、L2、L3の配線長 $n1$ 、 $n2$ 、 $n3$ 等を各階層毎に人力する。人力順は限定されない。

なお、例えば配線長 $n1$ 、 $n2$ 、 $n3$ はそれぞれ論理配線での記述(10a、10A3)、(20b、20B2)、C45に対応してメモリに書き込まれる。

(54)次に、親モジュールを子モジュールで展開

し、1つなぎりの配線を求める。例えば第2B図では、10a, 10A3, 30C45, 20B2, 20bで表される配線を求める。これは、第2A図では配線L1、L13、L3、L23及び配線L2からなる1つなぎりの配線に対応している。

(56)次に、ステップ52で入力した各配線の配線長を用いて、この1つなぎりの配線の配線長を求める。上記例では $n1 + n13 + n3 + n23 + n2$ を計算する。

(58)次に、この配線長が予め定められた規定範囲内にあるかどうか、すなわち配線容量が適当であるかどうかを判定する。

(60)次にこの判定結果を出力する。

(2) 第2実施例

第4図は入れ子構造のモジュール内を通る論理配線を示す。

論理モジュール3内には論理モジュール4が配置されており、入れ子構造となっている。この論理モジュール4は、論理モジュール3と同様に論理モジュール1、2とは論理的に接続されていない。

一ル間配線方法によれば、論理モジュール間に結線上無関係な論理モジュールが存在しても、この無関係な論理モジュールを通して論理モジュール間を結線することができ、かつ、論理モジュールを展開して1つなぎりの配線長を求めることができるという優れた効果を奏し、チップ面積の縮小化及び配線容量の低減化に伴う処理速度の高速化に寄与する。

4. 図面の簡単な説明

第1A図及び第1B図は本発明の原理構成を示し、

第1A図はレイアウト配線図、

第1B図はこのレイアウト配線に対応した論理配線図である。

第2A～第3図は本発明の第1実施例に係り、

第2A図はレイアウト配線図、

第2B図はこのレイアウト配線に対応した論理配線図、

第3図は配線長適否判定処理の手順を示すフロー

図である。他の点については第1B図と同一である。

このような構成では、論理モジュール3及び4を通過する配線により論理モジュール1、2間を結線する必要がある。そこで、論理配線上では、論理モジュール3及び4にそれぞれグミー端子C、Dを設け、グミー端子C、D間を接続するとともに、端子Cを論理モジュール1の端子A及び論理モジュール2の端子Bに接続している。この論理配線は、例えば1A, 3C, 4D, 2Bと記述することができる。グミー端子Cには、これに接続され論理モジュール3内を通過する配線の配線長が対応付けられ、グミー端子Dには、これに接続され論理モジュール4内を通過する配線の配線長が対応付けられる。

したがって、第1実施例と同様に、論理モジュール3及び4を通過して論理モジュール1、2間を結線する配線の配線長を求めることができる。

[発明の効果]

以上説明したように、本発明に係る論理モジュール

ーチャートである。

第4図は本発明の第2実施例に係り、入れ子構造のモジュール内を通る論理配線図である。

第5図は従来例の問題点を説明するためのレイアウト配線図である。

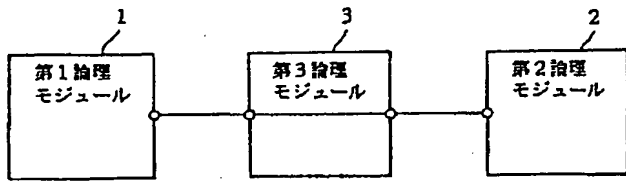
図中、

1、2、3、4、10、20、30は

論理モジュール

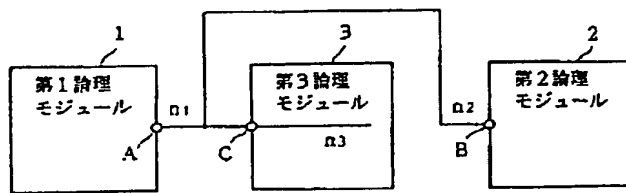
代理人 弁理士 井 裕 貞 一(外2名)





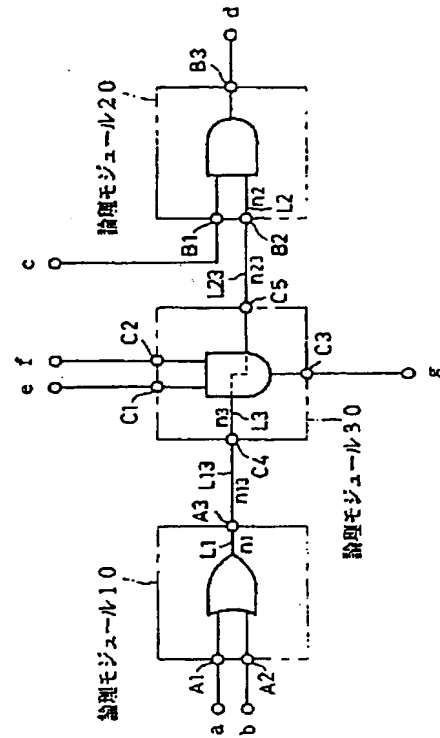
発明の原理構成 (レイアウト配線)

第1A図

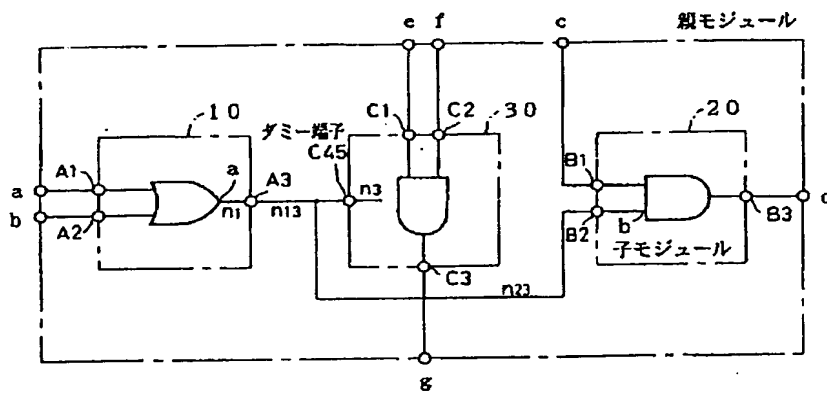


発明の原理構成 (論理配線)

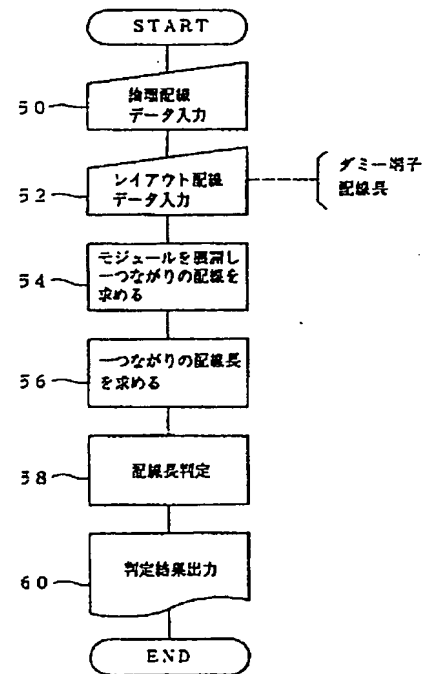
第1B図



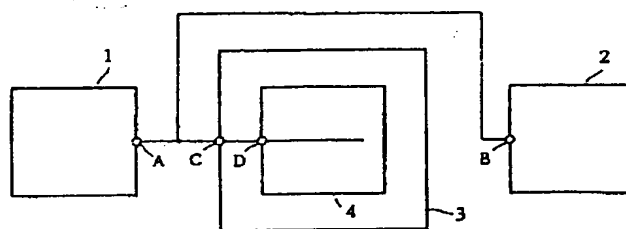
レイアウト配線
第2A図



論理配線
第2B図

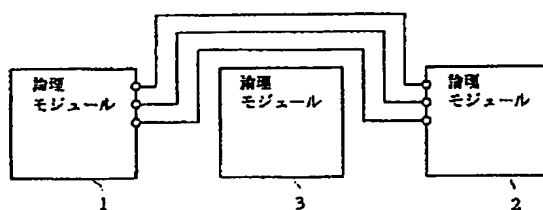


配線長過否判定処理手順
第3図



入れ子構造のモジュール内を通る論理配線

第 4 図



従来例のレイアウト配線

第 5 図